

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-169517

(43)Date of publication of application : 14.06.2002

(51)Int.Cl.

G09G 3/36  
 G02F 1/133  
 G02F 1/1368  
 G09G 3/20

(21)Application number : 2000-368527

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 04.12.2000

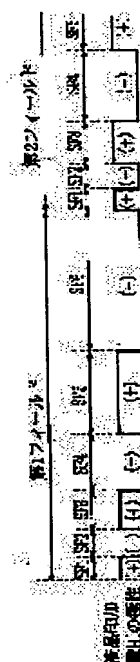
(72)Inventor : MINAMINO YUTAKA  
 SENDA KOJI  
 YAMANO ATSUHIRO  
 OKADA TAKASHI

## (54) METHOD AND DEVICE FOR DRIVING ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method and device for driving a liquid crystal display capable of sufficiently securing the write time for pixels, and moreover and performing a multi-gradation display without flickers.

**SOLUTION:** A single field is composed of 6-pieces of sub-fields SF1-SF6, and the sub-fields SF1-SF6 are scanned, and gradation display is performed according to the accumulative effect of the display periods in the sub-fields. Then, the polarity of the voltage to be applied to the liquid crystal is driven for display so as to vary for every continuous sub-field. Namely, a positive voltage is applied to the sub-fields SF1, SF3, SF5, and a negative voltage is applied to the sub-fields SF2, SF4, SF6.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



Copyright (C); 1998,2003 Japan Patent Office



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2002-169517

(P2002-169517A)

(43) 公開日 平成14年6月14日 (2002.6.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト <sup>*</sup> (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 2
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	2 H 0 9 3
	5 7 5		5 C 0 0 6
1/1368		1/1368	5 C 0 8 0
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 E
審査請求 未請求 請求項の数 6 O L (全 12 頁) 最終頁に続く			

(21) 出願番号 特願2000-368527(P2000-368527)

(22) 出願日 平成12年12月4日(2000.12.4)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 南野 裕

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 千田 耕司

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100101823

弁理士 大前 要

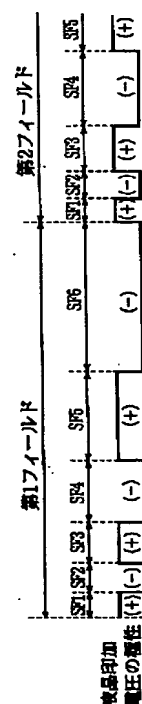
最終頁に続く

(54) 【発明の名称】 アクティブマトリックス型液晶表示装置の駆動方法及び駆動装置

(57) 【要約】

【課題】 画素の書き込み時間を十分に確保でき、しかも、フリッカーのない多階調表示可能な液晶表示装置の駆動方法及び駆動装置を提供する。

【解決手段】 1フィールドを6個のサブフィールドS F 1～S F 6で構成し、サブフィールドS F 1～S F 6の走査を行い、サブフィールドでの表示期間の累積効果で階調表示を行う。そして、液晶に印加される電圧の極性は、連続するサブフィールド毎に変化するように表示駆動される。即ち、サブフィールドS F 1, S F 3, S F 5では、正極性の電圧が印加され、サブフィールドS F 2, S F 4, S F 6では、負極性の電圧が印加される。





(2)

1

## 【特許請求の範囲】

【請求項1】 1フィールドを複数のサブフィールドで構成し、前記複数のサブフィールドの走査を行い、サブフィールドでの表示期間の累積効果で階調表示を行うアクティブマトリックス型液晶表示装置の駆動方法において、

液晶に印加される電圧の極性を連続するサブフィールド毎に変化させて表示駆動することを特徴とするアクティブマトリックス型液晶表示装置の駆動方法。

【請求項2】 1フィールドを複数のサブフィールドで構成し、前記複数のサブフィールドの走査を行い、サブフィールドでの表示期間の累積効果で階調表示を行うアクティブマトリックス型液晶表示装置の駆動方法において、

前記1フィールド期間を構成する全サブフィールドのうち所定のサブフィールドと残余のサブフィールドでの液晶に印加される電圧の極性を変化させ、且つ正極性の表示期間の総和と負極性の表示期間の総和とがほぼ等しくなるようにサブフィールドを選択して表示駆動することを特徴とするアクティブマトリックス型液晶表示装置の駆動方法。

【請求項3】 画素スイッチング素子及び画素電極を有する単位画素がマトリックス状に配置された液晶表示部の周辺部に、走査線に走査信号を供給する走査側駆動回路及び信号線にデジタル画像信号を供給する表示側駆動回路を備えるとともに、1フィールドを複数のサブフィールドで構成し、前記複数のサブフィールドの走査を行い、サブフィールドでの表示期間の累積効果で階調表示を行うアクティブマトリックス型液晶表示装置の駆動装置であって、

前記表示側駆動回路の出力段に設けられ、デジタル画像信号電圧の極性を反転させ、反転した信号電圧を前記信号線に出力する極性反転回路と、

前記画素電極に対向配置される対向電極の電位を、前記デジタル画像信号電圧の振幅と同一の振幅で且つ逆位相で交流駆動する対向電極駆動回路と、

連続するサブフィールド毎に液晶に印加される電圧の極性を変化させるように、前記極性反転回路及び前記対向電極駆動回路の極性周期のタイミングをそれぞれ制御する制御回路と、

を含むことを特徴とするアクティブマトリックス型液晶表示装置の駆動装置。

【請求項4】 画素スイッチング素子及び画素電極を有する単位画素がマトリックス状に配置された液晶表示部の周辺部に、走査線に走査信号を供給する走査側駆動回路及び信号線にデジタル画像信号を供給する表示側駆動回路を備えるとともに、1フィールドを複数のサブフィールドで構成し、前記複数のサブフィールドの走査を行い、サブフィールドでの表示期間の累積効果で階調表示を行うアクティブマトリックス型液晶表示装置の駆動装

2

置であって、

前記表示側駆動回路の出力段に設けられ、デジタル画像信号電圧の極性を反転させ、反転した信号電圧を前記信号線に出力する極性反転回路と、

前記画素電極に対向配置される対向電極の電位を、前記デジタル画像信号電圧の振幅と同一の振幅で且つ逆位相で交流駆動する対向電極駆動回路と、

1フィールド期間を構成する全サブフィールドのうち所定のサブフィールドと残余のサブフィールドでの液晶に印加される電圧の極性を変化させ、且つ正極性の表示期間の総和と負極性の表示期間の総和とがほぼ等しくなるように、前記極性反転回路及び前記対向電極駆動回路の極性周期のタイミングをそれぞれ制御する制御回路と、を含むことを特徴とするアクティブマトリックス型液晶表示装置の駆動装置。

【請求項5】 前記走査側駆動回路、前記信号側駆動回路、及び前記対向電極駆動回路の少なくとも1つが、前記画素スイッチング素子を形成する際に同時に画素スイッチング素子が形成される基板上に一体形成された内蔵駆動回路であることを特徴とする請求項3又は4記載のアクティブマトリックス型液晶表示装置の駆動装置。

【請求項6】 前記画素スイッチング素子が、多結晶半導体からなる薄膜トランジスタであることを特徴とする請求項5記載のアクティブマトリックス型液晶表示装置の駆動装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、1フィールドを複数のサブフィールドで構成し、前記複数のサブフィールドの走査を行い、サブフィールドでの表示期間の累積効果により階調表示を行う液晶表示装置の駆動方法及び駆動装置に関する。

## 【0002】

【従来の技術】 アクティブマトリックス型液晶表示装置(LCD: Liquid Crystal Display)を駆動する液晶駆動装置は、一般に、1画素について行方向にゲートライン(走査電極)が設けられ、列方向にドレインライン(信号電極)が設けられている。そして、このドレインラインにデータ信号が入力されるとともに、ゲートラインには水平走査に対応して順次ゲート電圧が選択的に印加される。

【0003】 このゲートラインとドレインラインの各交点に対応する各画素毎にスイッチング素子としての薄膜トランジスタ(TFT: Thin Film Transistor)が接続され、このTFTのスイッチングを行って液晶を表示制御するドライバ回路がある。

【0004】 図12に示すように、ドライバ回路111は、シフトレジスタ112、データレジスタ113、ラッチ回路114、D/Aコンバータ115、ボルテージホロワ116などから構成されている。そして、シフト





(3)

3

レジスタ112、データレジスタ113、ラッチ回路114には、それぞれロジック電源が入力され、シフトレジスタ112において、スタートパルスをシフトクロックによって順次シフトしながら、映像データを標準化するためのデータサンプリング信号を作成する。

【0005】データレジスタ113には、デジタル映像信号が入力され、シフトレジスタ112から入力されるデータサンプリング信号に基づいてデジタル映像信号をサンプリングして、そのサンプリングデータをラッチ回路114でラッチする。そして、D/Aコンバータ115は、上記ラッチデータをD/A基準電源に基づいてD/A変換し、出力バッファであるボルテージホロワ116を介して各信号電極117に出力して、映像信号に応じた多階調表示を行っている。

【0006】しかしながら、このような液晶駆動装置にあっては、デジタルデータを入力してアナログ出力を行うため、ドライバ内部のD/Aコンバータの部分で電力を消費し、パネルとしての消費電力が大きくなるという問題がある。

【0007】これに対し液晶表示パネルの液晶を、内部あるいは外部にD/Aコンバータを用いることなく構成することにより、低コストで、消費電力が小さい多階調表示可能な液晶駆動装置が、特開平7-334124号公報及び特開平4-238387号公報に開示されている。

【0008】特開平7-334124号公報の液晶駆動装置は、所定周期毎に電圧レベルが連続的に変化する波形信号を生成する波形信号生成手段と、入力されるデジタル映像信号の階調に対応したパルス幅に変換し、前記波形信号をそのパルス幅に応じてサンプリングするサンプリング信号を生成するパルス幅階調制御手段と、前記サンプリング信号に基づいて前記階調に対応した所定の液晶駆動電圧を生成する液晶駆動電圧生成手段とを備え、前記液晶駆動電圧により液晶表示パネルを表示駆動することにより、上記目的を達成するものである。

【0009】また、特開平4-238387号公報の液晶駆動装置では、書き込み単位を複数のサブフィールドに分割し、サブフィールド毎の書き込みをON/OFF制御することにより階調を変化させて上記目的を達成するものである。

【0010】

【発明が解決しようとする課題】しかしながら、特開平7-334124号公報の方式では高精度、低インピーダンスな回路で所定周期毎に電圧レベルが連続的に変化する波形信号を生成する波形信号生成手段を外部に設けなければならない高コストになるという問題があるとともに、この部分での消費電力が大きくシステムトータルの消費電力が大きくなる欠点がある。

【0011】また特開平4-238387号公報の方式では、各サブフィールドでの画素への書き込み時間が1

4

0 $\mu$ secとした場合、最低で1フィールド期間が約33msecとなりフリッカーが発生するという問題があった。反対にこれ以上書き込み時間を短くした場合、画素に十分な電荷量を供給できずON不足などの問題が生じる。

【0012】本発明は、上記課題に鑑みてなされたもので、画素の書き込み時間を十分に確保でき、しかも、フリッカーのない多階調表示可能な液晶表示装置の駆動方法及び駆動装置を提供することを目的としている。

10 【0013】

【課題を解決するための手段】上記目的を達成するため本発明のうち請求項1記載の発明は、1フィールドを複数のサブフィールドで構成し、前記複数のサブフィールドの走査を行い、サブフィールドでの表示期間の累積効果で階調表示を行うアクティブマトリックス型液晶表示装置の駆動方法において、液晶に印加される電圧の極性を連続するサブフィールド毎に変化させて表示駆動することを特徴とする。

20 【0014】上記構成により、1フィールド期間（例えば33msec）内において正極性の電圧波形と負極性の電圧波形とが混在することになる。そのため、1フィールド期間内において、正極性の電圧波形と負極性の電圧波形とを加えた電圧波形が得られ、基本波周波数が60Hzとなる。従って、フリッカーの発生が防止できることになる。つまり、突き抜け電圧等に起因した正極性の電圧波形と負極性の電圧波形とが異なっても、1フィールド期間内において光学応答が平均化され、従って、発光波形の基本周波数成分が30Hz以上となり、フリッカーの発生を防止することができる。

30 【0015】請求項2記載の発明は、1フィールドを複数のサブフィールドで構成し、前記複数のサブフィールドの走査を行い、サブフィールドでの表示期間の累積効果で階調表示を行うアクティブマトリックス型液晶表示装置の駆動方法において、前記1フィールド期間を構成する全サブフィールドのうち所定のサブフィールドと残余のサブフィールドでの液晶に印加される電圧の極性を変化させ、且つ正極性の表示期間の総和と負極性の表示期間の総和とがほぼ等しくなるようにサブフィールドを選択して表示駆動することを特徴とする。

40 【0016】上記構成によれば、正極性の表示期間の総和と負極性の表示期間の総和とがほぼ等しくなるため、1フィールド期間中液晶印加電圧が同一極性である従来例に比べて、1フィールド期間での発光応答が平均化され、フリッカーの発生を抑制することができる。加えて、正極性印加電圧と負極性印加電圧の実効値がほぼ等しくなるため、液晶の劣化を有効に防止することができる。

50 【0017】請求項3記載の発明は、画素スイッチング素子及び画素電極を有する単位画素がマトリクス状に配置された液晶表示部の周辺部に、走査線に走査信号を



(4)

5

供給する走査側駆動回路及び信号線にデジタル画像信号を供給する表示側駆動回路を備えるとともに、1フィールドを複数のサブフィールドで構成し、前記複数のサブフィールドの走査を行い、サブフィールドでの表示期間の累積効果で階調表示を行うアクティブマトリックス型液晶表示装置の駆動装置であって、前記表示側駆動回路の出力段に設けられ、デジタル画像信号電圧の極性を反転させ、反転した信号電圧を前記信号線に出力する極性反転回路と、前記画素電極に対向配置される対向電極の電位を、前記デジタル画像信号電圧の振幅と同一の振幅で且つ逆位相で交流駆動する対向電極駆動回路と、連続するサブフィールド毎に液晶に印加される電圧の極性を変化させるように、前記極性反転回路及び前記対向電極駆動回路の極性周期のタイミングをそれぞれ制御する制御回路と、を含むことを特徴とする。

【0018】上記構成により、液晶に印加される電圧の極性を連続するサブフィールド毎に変化させて表示駆動することが可能となる。

【0019】請求項4記載の発明は、画素スイッチング素子及び画素電極を有する単位画素がマトリクス状に配置された液晶表示部の周辺部に、走査線に走査信号を供給する走査側駆動回路及び信号線にデジタル画像信号を供給する表示側駆動回路を備えるとともに、1フィールドを複数のサブフィールドで構成し、前記複数のサブフィールドの走査を行い、サブフィールドでの表示期間の累積効果で階調表示を行うアクティブマトリックス型液晶表示装置の駆動装置であって、前記表示側駆動回路の出力段に設けられ、デジタル画像信号電圧の極性を反転させ、反転した信号電圧を前記信号線に出力する極性反転回路と、前記画素電極に対向配置される対向電極の電位を、前記デジタル画像信号電圧の振幅と同一の振幅で且つ逆位相で交流駆動する対向電極駆動回路と、1フィールド期間を構成する全サブフィールドのうち所定のサブフィールドと残余のサブフィールドでの液晶に印加される電圧の極性を変化させ、且つ正極性の表示期間の総和と負極性の表示期間の総和とがほぼ等しくなるように、前記極性反転回路及び前記対向電極駆動回路の極性周期のタイミングをそれぞれ制御する制御回路と、を含むことを特徴とする。

【0020】上記構成により、1フィールド期間を構成する全サブフィールドのうち所定のサブフィールドと残余のサブフィールドでの液晶に印加される電圧の極性を変化させ、且つ正極性の表示期間の総和と負極性の表示期間の総和とがほぼ等しくなるようにサブフィールドを選択して表示駆動することが可能となる。

【0021】請求項5記載の発明は、請求項3又は4記載のアクティブマトリックス型液晶表示装置の駆動装置であって、前記走査側駆動回路、前記信号側駆動回路、及び前記対向電極駆動回路の少なくとも1つが、前記画素スイッチング素子を形成する際に同時に画素スイッチ

6

ング素子が形成される基板上に一体形成された内蔵駆動回路であることを特徴とする。

【0022】上記構成により、ICチップを実装する場合に比べてコストの低減を図ることができる。

【0023】請求項6記載の発明は、請求項5記載のアクティブマトリックス型液晶表示装置の駆動装置であって、前記画素スイッチング素子が、多結晶半導体からなる薄膜トランジスタであることを特徴とする。

【0024】上記の如く、多結晶半導体を使用することにより、より安定で高品質の駆動装置が構成される。

【0025】

【発明の実施の形態】以下、本発明の各実施の形態を図面に基いて説明する。

【0026】（実施の形態1）図1は実施の形態1に係るアクティブマトリックス型液晶表示装置の全体構成を示す回路図であり、図2は信号側駆動回路の構成を示すブロック図である。この液晶表示装置は、デジタル画像信号により階調表示を行うデジタル駆動方式であって、1フィールドを複数（本実施の形態1では6個）のサブフィールドで構成し、これらの複数のサブフィールドの走査を行い、サブフィールドでの表示期間の累積効果で階調表示を行うアクティブマトリックス型液晶表示装置である。なお、本実施の形態1では、デジタル画像信号は6ビットデータ構成で64階調を表示する例について説明する。

【0027】図1及び図2を参照して、具体的な構成について説明する。図1において、10は液晶表示部であり、11は走査側駆動回路であり、12は信号側駆動回路であり、13は信号発生回路であり、14は制御回路である。液晶表示部10には、複数の信号線SL、…と、複数の走査線GL…とがマトリクス状に配置されている。そして、信号線SLと走査線GLとの交差位置には、画素電極に電気的に接続された画素スイッチング素子としての薄膜トランジスタ(TFT)16が設けられている。

【0028】また、17は対向電極駆動回路であり、この対向電極駆動回路17により対向電極電位Vcomが所定の周期で交流駆動されている。

【0029】前記制御回路14は、正相クロック信号CH1、逆相クロック信号CH2、スタート信号ST1、ラッチ信号LP、及び極性反転信号F等の制御信号を、信号側駆動回路12に出力すると共に、正相クロック信号CH3、逆相クロック信号CH4及びスタート信号ST2等の制御信号を走査側駆動回路11に出力し、駆動回路11、12を介して表示駆動を制御している。

【0030】前記信号発生回路13は、6ビットの階調データで構成されるデジタル画像信号Aを入力し、本実施の形態に係る駆動方法に適合したデジタル画像データA1を生成する機能を有する。なお、信号発生回路13はコントローラ14からの制御信号Cにより処理動作が



(5)

7

制御されている。

【0031】前記走査側駆動回路11は、シフトレジスタやバッファ等で構成されており、走査線GLに走査パルスを出して各走査線を順次走査するように構成されている。前記信号側駆動回路12は、図2に示すように、シフトレジスタ40と、デジタル画像信号A1をラッチする第1ラッチ回路41と、第1ラッチ回路41の出力をラッチする第2ラッチ回路42と、例えばEX-ORによって実現される極性反転回路43とから構成されている。極性反転回路43の一方の入力端子には、サブフィールド周期毎に論理レベルが反転する極性反転信号Fが入力され、他方の入力端子には第2ラッチ回路42の出力であるデジタル映像信号A1が入力されている。これにより、後述するようにデジタル画像データA1の電圧レベルが、サブフィールド周期毎に繰り返し反転する。

【0032】なお、前記走査側駆動回路11、信号側駆動回路12及び対向電極駆動回路17は、多結晶シリコンで形成され、液晶表示部10の作製プロセス時に同時に造り込まれた内蔵駆動回路である。

【0033】図3は表示駆動のシーケンス図である。本実施の形態1では、1フィールドが6個のサブフィールドSF1～SF6に分割されている。そして、各サブフィールドSF1～SF6は、書き込み期間Rと表示期間D（書き込まれた信号電圧を保持する保持期間に相当する）とから構成されている。書き込み期間Rは、いずれのサブフィールドSF1～SF6においても同一であるが、表示期間Dはデジタル画像データの重み付けに応じた時間幅となっている。即ち、サブフィールドSF1～SF6の表示期間D1～D6は、その時間幅比が1：2：4：8：16：32となっており、サブフィールドでの表示時間の累積結果で64階調を表示するように構成されている。

【0034】階調表示とサブフィールドとの具体的な関係は図4に示されている。図4において丸印は選択、×印は非選択を示す。従って、例えば、サブフィールドSF1のみが選択された場合は階調レベル2が表示され、サブフィールドSF1、SF2のみが選択された場合は階調レベル4が表示されることになる。

【0035】ここで、注目すべきは、図5に示すように本実施の形態1では液晶に印加される電圧の極性が連続するサブフィールド毎に変化するように駆動されていることである。即ち、サブフィールドSF1、SF3、SF5では、正極性の電圧が印加され、サブフィールドSF2、SF4、SF6では、負極性の電圧が印加される。

【0036】このような駆動を得るため、本実施の形態1では、極性反転回路43及び対向電極駆動回路17の極性周期のタイミングが、制御回路14により制御され、デジタル画像データA1の電圧レベルが、サブフィ

8

ールド周期毎に繰り返し反転され、且つ、対向電極電位Vcomがデジタル画像信号電圧A1の振幅と同一の振幅で且つ逆位相でサブフィールド毎に反転する交流駆動される。図6を参照して説明すると、例えば第n番目の走査ラインのラインデータ（デジタル画像データA1に相当する）が図6（a）である場合を想定する。極性反転信号Fは、図6（b）に示すようにサブフィールドSF1ではローレベルでサブフィールドSF2ではハイレベルというようにサブフィールド毎にレベルが反転する。これにより、極性反転回路43からの出力は、図6（c）に示すようにサブフィールドSF1ではデジタル画像データA1は非反転でサブフィールドSF2ではデジタル画像データA1は反転する。一方、対向電極電位Vcomは、図6（d）に示すように画像信号電圧A1の振幅mと同一の振幅mで且つ逆位相でサブフィールド毎に反転する交流駆動される。この結果、液晶に印加される電圧は、図6（e）に示すようにサブフィールド毎に極性が変化することになる。この例では、第n番目の走査ラインについて説明したけれども、その他の走査ラインについても同様な動作が行われる。従って、全ての走査ラインに関して、液晶に印加される電圧がサブフィールド毎に変化することになる。

【0037】このように液晶に印加される電圧の極性を連続するサブフィールド毎に変化させることにより、従来例において問題となっていたフリッカーの発生を防止することができる。

【0038】以下に、フリッカーの発生を防止できる理由について図7を参照して詳述する。図7（1）は1フィールド毎に液晶印加電圧の極性が変化するフィールド反転（フレーム反転）駆動方法を示したものである。このような駆動方法によると、正極性の電圧波形と負極性の電圧波形が全く同じであるという理想的な場合を想定すれば、例えば図7（2）に示すような波形が得られ、基本周波数が60Hzとなる。従って、このような理想的な状態では、フリッカーの発生はない。しかしながら、突き抜け電圧等の現象により、対向電極電位にオフセットを与えたとしても現実には正極性の電圧波形と負極性の電圧波形が異なっているのが現状であり、例えば図7（3）に示すような波形となり、そのため、基本周波数は60Hzとなり、フリッカーが発生する。そこで、図7（1）の破線で示すように1フィールドを2つのサブフィールドに分割し、一方のサブフィールドでは正極性電圧を他方のサブフィールドでは負極性電圧を印加するようにすると、図7（4）に示すように1フィールド期間内において正極性の電圧波形と負極性の電圧波形とが混在することになり、正極性の電圧波形と負極性の電圧波形とを加えた電圧波形が得られ、基本波周波数が60Hzとなる。従って、フリッカーの発生が防止できることになる。つまり、突き抜け電圧等に起因した正極性の電圧波形と負極性の電圧波形とが異なっていて



(6)

9

も、1フィールド期間内において光学応答が平均化され、従って、発光波形の基本周波数成分が30Hz以上となり、フリッカーの発生を防止することができる。このような原理に基づいて、本実施の形態1では、連続するサブフィールド毎に液晶印加電圧の極性を変化させるようにしたものである。

【0039】次いで、本実施の形態1に係る液晶表示装置の表示動作について説明する。先ず、デジタル画像信号Aは、予め信号発生回路13により、本駆動方法に適合したデジタル画像信号A1に変換されている。先ず、入力データ線にデジタル画像信号A1が供給されると、これと同期してラッチパルスがシフトレジスタ40から順次出力される。これにより、第1ラインデータの各ビットデータが順次第1ラッチ回路41にラッチされる。こうして、1ラインデータが第1ラッチ回路41にラッチされた後、ラッチパルスLPが全ての第2ラッチ回路42に共通に供給される。これにより、第1ラッチ回路41からラインデータが第2ラッチ回路42にラッチされるとともに、信号線SL…を介して液晶表示部10に出力される。これと同期して、第1走査線GL1が選択される。これにより、第1ラインデータが各画素電極に書き込まれる。次いで、同様の動作が順次行われ、順次ラインデータが書き込まれていく。そして、サブフィールドSF1での書き込み終了した時点から表示期間D1経過後に、次のサブフィールドSF2の書き込みが開始する。このとき、極性反転回路43の極性反転信号のレベルが、ローレベルからハイレベルに変化する。これにより、第2ラッチ回路42の出力信号のレベルが極性反転回路43により反転され、この反転した信号電圧が書き込み電圧となる。そして、サブフィールドSF2での書き込み終了した時点から表示期間D2経過後に次のサブフィールドSF3の書き込みが開始する。こうして、サブフィールドSF1～SF6の走査が終了し、各画素の1フィールド期間での累積表示期間により、64階調による階調表示がなされることになる。このような1フィールド期間でのサブフィールドSF1～SF6毎の走査が、順次フィールド毎になされ、希望する多階調表示の画像を表示することが可能となる。そして、上述したようにサブフィールド毎に液晶印加電圧の極性を変化するため、フリッカーのない高品質の画像を表示することができる。

【0040】また、本実施の形態1では、デジタル映像信号の階調データをD/Aコンバータを用いることなく階調表示できるため、消費電力を大幅に削減することができる。

【0041】次いで、本実施の形態に係る駆動方法により表示させ、発光周波数を測定したので、その結果を図8に示す。なお、図9は従来例の発光周波数特性である。

【0042】図9(a)は従来の駆動方式による発光波

10

形のオシロスコープにより測定した波形であり、図9(b)は図9(a)に示す波形をフーリエ変換したものである。33msec毎の発光の波形が異なるために、30Hz以下の成分が大きくフリッカーが発生する。

【0043】一方、図8(a)は連続するサブフィールド内の電圧が反転した場合の光学応答波形である。常に同じ極性の場合と比較すると、33msec毎の光学応答の波形がほぼ等しいことがわかる。これにより基本成分が30Hz以上となりフリッカーがほとんど発生しないことが認められる。従って、同一の書き込み時間で表示を行った場合に、本発明は、従来の方法と比較して、発光の周波数成分が高くなり、フリッカーのない良好な画像が得られることが理解される。

【0044】また、本実施の形態1では、上記したように対向電極電位がサブフィールド毎に反転するように構成されている。これにより、2値のレベルの電圧のみで駆動することが可能となり、回路構成が簡略化することが可能となる。例えば、対向電極をサブフィールド毎に交流駆動しない場合を想定すると、正極性での電圧印加時と、正極性及び負極性の電圧印加非印加時、負極性での電圧印加時の、3値のレベルの電圧を書き込む必要がある。そして、この場合には、信号側駆動回路の出力段は3値出力に対応させる必要があるため、回路構成が複雑になる。さらに、外部に3レベルの出力を有する電源回路を備える必要があり、システムとしての消費電力の増加が懸念される。しかしながら、本実施の形態1では、対向電極電位がサブフィールド毎に反転するため、上記課題の発生が防がれている。

【0045】また、上記の例では、1フィールドが6個のサブフィールドSF1～SF6に分割し、64階調表示の例について説明したけれども、本発明はこれに限定されるものではなく、例えば1フィールドを7個のサブフィールドに分割し、128階調表示を行うようにしてもよく、また、1フィールドを8個のサブフィールドに分割し、256階調表示を行うようにしてもよい。特に、256階調等の多階調表示であっても、書き込み時間を10μsec程度確保することができるため、画素に十分な書き込みができ、しかもフリッカーのない表示が可能となる。

【0046】(実施の形態2)上記実施の形態1では、1フィールド期間を構成する複数のサブフィールドは、デジタル画像データに重み付けられ表示期間を有するように構成されていたけれども、本実施の形態2では1フィールド期間はデジタル画像データの重み付けに対応したサブフィールドと、偽輪郭の発生を防止するために付加されたサブフィールドとから構成されている。即ち、図10(a)に示すように、サブフィールドSF1～SF6の表示期間D1～D6の比が、D1:D2:D3:D4:D5:D6=1:2:4:8:8:8に設定されている。ここで、サブフィールドSF1～SF4がデジ

50





(7)

11

タル画像データの重み付けに対応したサブフィールドであり、サブフィールドSF5、SF6が偽輪郭の発生を防止するために付加されたサブフィールドである。

【0047】従って、本実施の形態2では、1フィールドが6個のサブフィールドで構成されている点においては実施の形態1と同様であるが、本実施の形態2では32階調しか表示できない。しかしながら、白又は黒の表示画素が連続する頻度を抑えることができ、偽輪郭の発生を可及的に低減することが可能となっている。

【0048】このような1フィールドの構成であっても、上記実施の形態1と同様に連続するサブフィールド毎に液晶印加電圧の極性を変化させることにより(図10(b)参照)、1フィールド期間での発光応答が平均化され、フリッカの発生を防止することができる。

【0049】(実施の形態3)上記実施の形態1～2では連続するサブフィールド毎に液晶に印加される電圧の極性を変化させたけれども、本実施の形態3では、1フィールド期間を構成する全サブフィールドのうち正極性の表示期間の総和と負極性の表示期間の総和とがほぼ等しくなるようにサブフィールドを選択して表示駆動する。

【0050】図11を参照して具体的に説明すると、本実施の形態3では、図11(a)に示すようにサブフィールドSF1～SF6の表示期間D1～D6の比が、D1:D2:D3:D4:D5:D6=1:1:2:4:8:8に設定されている。そして、液晶に印加される電圧の極性が、図11(b)に示すようにサブフィールドSF1、SF2、SF3、SF5では正極性とされ、サブフィールドSF4、SF6では負極性とされている。

【0051】従って、本実施の形態3では1フィールドが6個のサブフィールドで構成されている点においては、実施の形態1と同様であるが、本実施の形態3では36階調しか表示できない。しかしながら、正極性の表示期間の総和と負極性の表示期間の総和とがほぼ等しくなるため、1フィールド期間中液晶印加電圧が同一極性である従来例に比べて、本実施の形態3の駆動によれば、1フィールド期間での発光応答が平均化され、フリッカの発生を抑制することができる。加えて、正極性印加電圧と負極性印加電圧の実効値がほぼ等しくなるため、液晶の劣化を有効に防止することができる。

【0052】

【発明の効果】以上のように本発明によれば、画素の書き込み時間を十分に確保でき、しかも、フリッカのない多階調表示が可能となる。また、従来例で使用されていたD/Aコンバータが不要となり、消費電力の少ない

12

多階調表示を行うことができる。

【図面の簡単な説明】

【図1】実施の形態1に係るアクティブマトリックス型液晶表示装置の全体構成を示す回路図である。

【図2】実施の形態1に係る信号側駆動回路の構成を示すブロック図である。

【図3】実施の形態1における表示駆動のシーケンス図である。

【図4】階調表示とサブフィールドとの関係を模式的に示す図である。

【図5】実施の形態1に係る表示駆動による液晶印加電圧の極性の変化を示す図である。

【図6】液晶印加電圧の極性を変化させる動作を説明するための信号波形図である。

【図7】フリッカの発生が低減される原理を説明するための波形図である。

【図8】実施の形態1に係る駆動方法を用いた場合の発光波形図及びそのフーリエ変換した波形図である。

【図9】従来例による駆動方法を用いた場合の発光波形図及びそのフーリエ変換した波形図である。

【図10】実施の形態2に係る駆動方法の表示駆動のシーケンス図及び液晶印加電圧の極性の変化を示す図である。

【図11】実施の形態3に係る駆動方法の表示駆動のシーケンス図及び液晶印加電圧の極性の変化を示す図である。

【図12】従来例のデジタルドライバの構成を示すブロック図である。

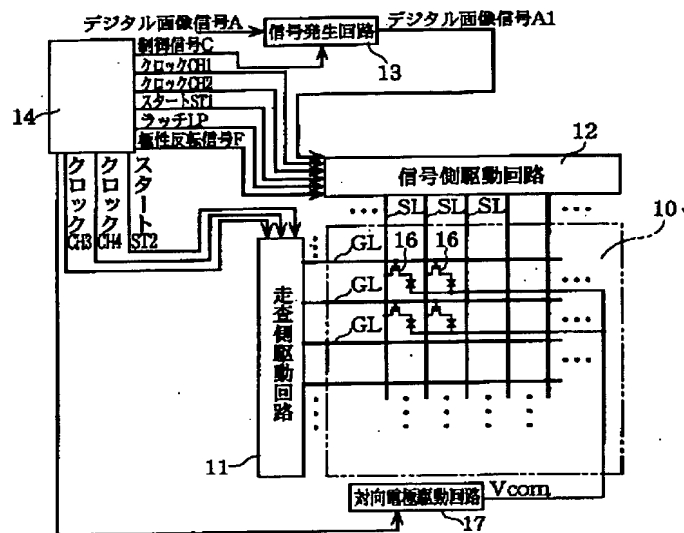
【符号の説明】

- 10 : 液晶表示部
- 11 : 走査側駆動回路
- 12 : 信号側駆動回路
- 13 : 信号発生回路
- 14 : 制御回路
- 16 : TFT
- 17 : 対向電極駆動回路
- 41 : 第1ラッチ回路
- 42 : 第1ラッチ回路
- 43 : 極性反転回路
- 40 SF1～SF6 : サブフィールド
- R : 書き込み期間
- D1～D6 : 表示期間
- SL : 信号線
- GL : 走査線



(8)

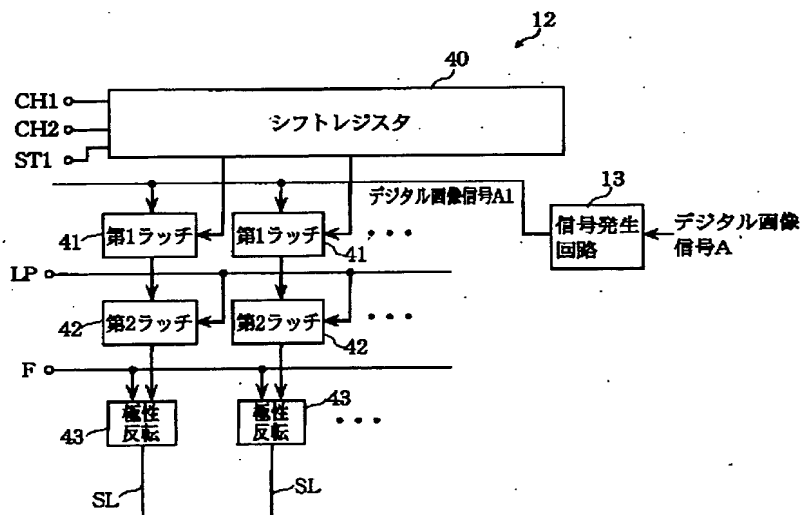
【図 1】



【図4】

SF 附圖	(1) SF1	(2) SF2	(4) SF3	(8) SF4	(16) SF5	(32) SF6
1	x	x	x	x	x	x
2	○	x	x	x	x	x
3	x	○	x	x	x	x
4	○	○	x	x	x	x
⋮	⋮	⋮	⋮	⋮	⋮	⋮
64	○	○	○	○	○	○

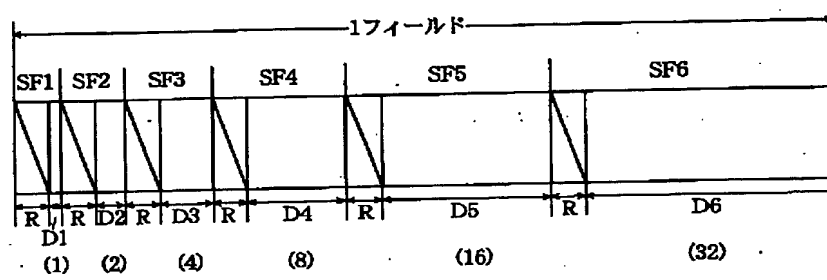
【図 2】



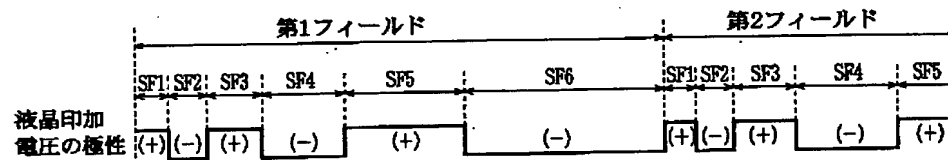


(9)

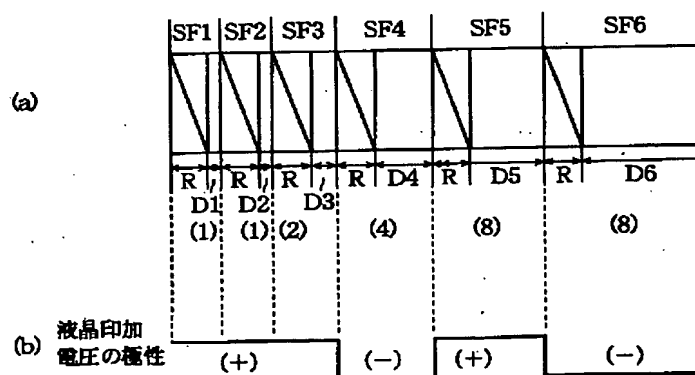
【図3】



【図5】



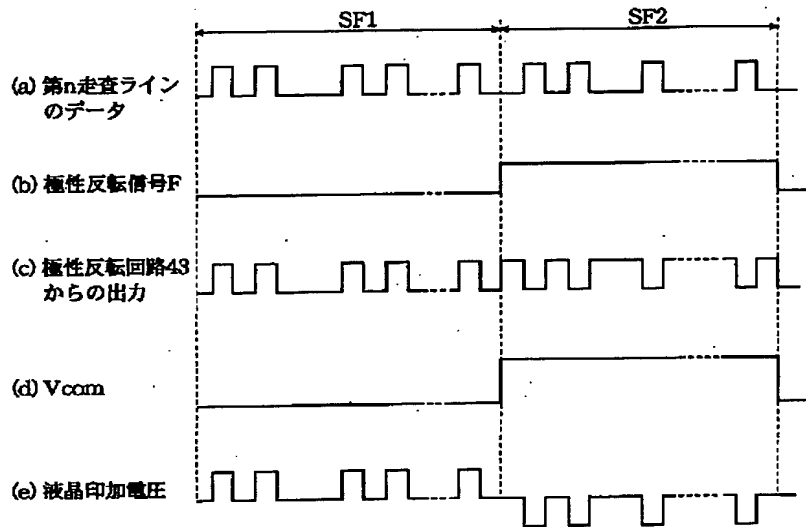
【図11】



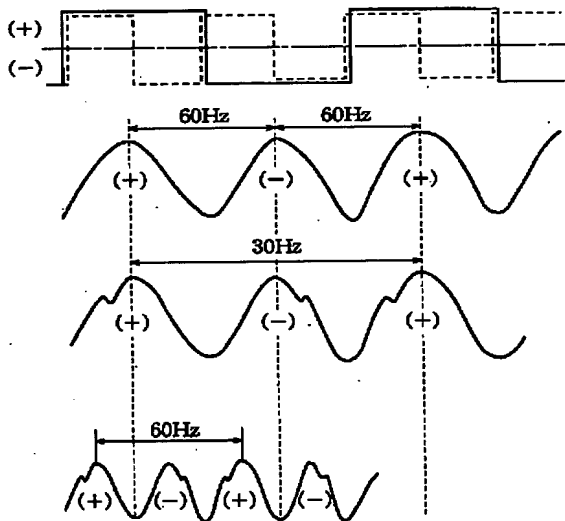


(10)

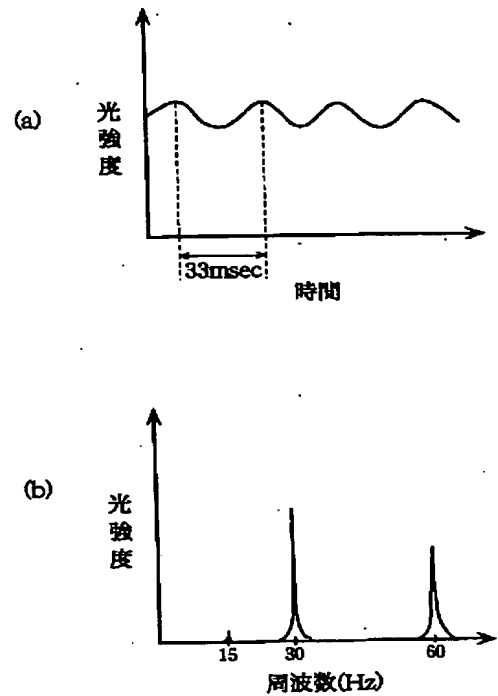
【図6】



【図7】



【図8】

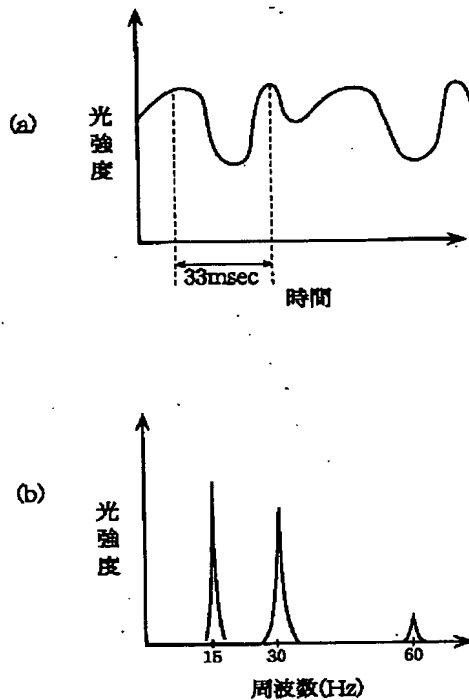




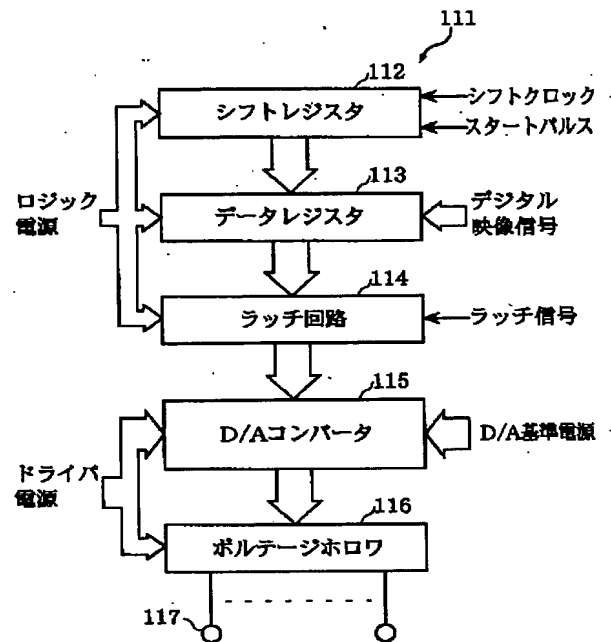


(11)

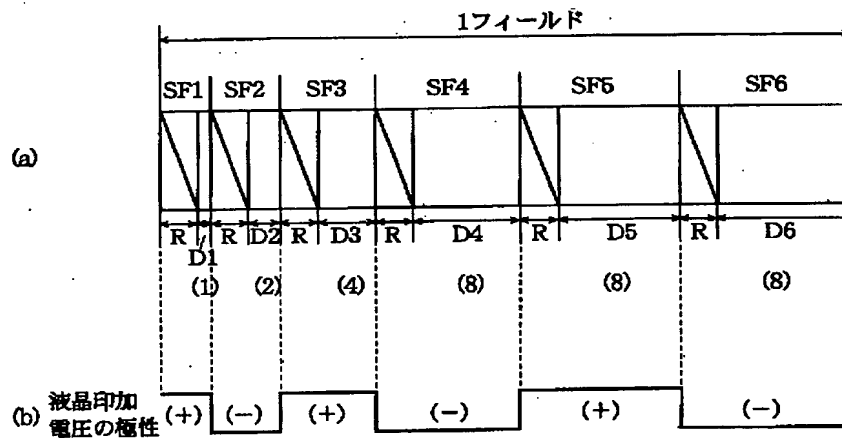
【図9】



【図12】



【図10】



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
G09G 3/20

識別記号  
611  
621  
641

FI  
G09G 3/20

テマコード(参考)

611A  
621B  
641E



(12)

(72)発明者	山野 敦浩	Fターム(参考)	2H092 GA59 GA60 KA04
	大阪府門真市大字門真1006番地 松下電器		2H093 NA33 NA36 NA55 NA56 NC09
	産業株式会社内		NC11
(72)発明者	岡田 隆史		5C006 AA14 AC11 AC28 AF44 BB16
	大阪府門真市大字門真1006番地 松下電器		BC12 BF03 BF04 BF27 FA23
	産業株式会社内		5C080 AA10 BB05 DD06 EE29 FF11
			GG12 JJ02 JJ04 JJ05



**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**CLAIMS****[Claim(s)]**

[Claim 1] the drive method of the active matrix type liquid crystal display characterized by the thing which continue the polarity of the voltage impressed to liquid crystal, and which it is made to change for every subfield and is done for a display drive in the drive method of an active matrix type liquid crystal display of constituting the 1 field from two or more subfields, scanning two or more aforementioned subfields, being the accumulation effect of the display period in a subfield, and performing a gradation display

[Claim 2] In the drive method of an active matrix type liquid crystal display of constituting the 1 field from two or more subfields, scanning two or more aforementioned subfields, and performing a gradation display by the accumulation effect of the display period in a subfield The polarity of the voltage impressed to the liquid crystal in a predetermined subfield and a residual subfield among all the subfields that constitute the 1 aforementioned field period is changed. And the drive method of the active matrix type liquid crystal display characterized by choosing a subfield and carrying out a display drive so that total of the display period of straight polarity and total of the display period of negative polarity may become almost equal.

[Claim 3] To the periphery of the liquid crystal display section by which the unit pixel which has the pixel switching element and pixel electrode which are characterized by providing the following has been arranged in the shape of a matrix While having the display side drive circuit which supplies a digital image signal to the scan side drive circuit and signal line which supply a scanning signal to the scanning line The driving gear of the active matrix type liquid crystal display which constitutes the 1 field from two or more subfields, scans two or more aforementioned subfields, and performs a gradation display by the accumulation effect of the display period in a subfield. The inversion circuit which outputs the signal level which was prepared in the output stage of the aforementioned display side drive circuit, was made to reverse the polarity of a digital image signal level, and was reversed to the aforementioned signal line. the potential of the counterelectrode by which opposite arrangement is carried out at the aforementioned pixel electrode -- the same amplitude as the amplitude of the aforementioned digital image signal level -- and the counterelectrode drive circuit which carries out an alternating current drive by the opposite phase and the control circuit which controls the timing of the polar period of the aforementioned inversion circuit and the aforementioned counterelectrode drive circuit, respectively to change the polarity of the continuous voltage impressed to liquid crystal for every subfield

[Claim 4] To the periphery of the liquid crystal display section by which the unit pixel which has the pixel switching element and pixel electrode which are characterized by providing the following has been arranged in the shape of a matrix While having the display side drive circuit which supplies a digital image signal to the scan side drive circuit and signal line which supply a scanning signal to the scanning line The driving gear of the active matrix type liquid crystal display which constitutes the 1 field from two or more subfields, scans two or more aforementioned subfields, and performs a gradation display by the accumulation effect of the display period in a subfield. The inversion circuit which outputs the signal level which was prepared in the output stage of the aforementioned display side drive circuit, was made to reverse the polarity of a digital image signal level, and was reversed to the aforementioned signal line. The potential of the counterelectrode by which opposite arrangement is carried out with the same amplitude as the amplitude of the aforementioned digital image signal level to the aforementioned pixel electrode And the counterelectrode drive circuit which carries out an alternating current drive by the opposite phase, The polarity of the voltage impressed to the liquid crystal in a predetermined subfield and a residual subfield among all the subfields that constitute 1 field period is changed. And the control circuit which controls the timing of the polar period of the aforementioned inversion circuit and the aforementioned counterelectrode drive circuit, respectively so that total of the display period of straight polarity and total of the display period of negative polarity become almost equal.

[Claim 5] The driving gear of the active matrix type liquid crystal display according to claim 3 or 4 characterized by being the built-in drive circuit really formed on the substrate in which a pixel switching element is formed

simultaneous in case at least one of the aforementioned scan side drive circuit, the aforementioned signal side drive circuit, and the aforementioned counterelectrode drive circuits forms the aforementioned pixel switching element.

[Claim 6] The driving gear of the active matrix type liquid crystal display according to claim 5 characterized by being the TFT which the aforementioned pixel switching element becomes from a polycrystal semiconductor.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention constitutes the 1 field from two or more subfields, scans two or more aforementioned subfields, and relates to the drive method of a liquid crystal display and driving gear which perform a gradation display according to the accumulation effect of the display period in a subfield.

[0002]

[Description of the Prior Art] Generally, a gate line (scanning electrode) is prepared in a line writing direction about 1 pixel, and, as for the liquid crystal driving gear which drives an active matrix type liquid crystal display (LCD: Liquid Crystal Display), the drain line (signal electrode) is prepared in the direction of a train. And while a data signal is inputted into this drain line, corresponding to a horizontal scanning, a gate voltage is alternatively impressed to a gate line one by one.

[0003] There is a driver circuit corresponding to each intersection of this gate line and a drain line which the TFT (TFT: Thin Film Transistor) as a switching element is connected for every pixel, switches this TFT, and carries out the display control of the liquid crystal.

[0004] As shown in drawing 12, the driver circuit 111 consists of a shift register 112, the data register 113, a latch circuit 114, D/A converter 115, a voltage follower 116, etc. And to a shift register 112, a data register 113, and a latch circuit 114, a logic power supply is inputted, respectively, and the data sampling signal for sampling image data is created, shifting a start pulse one by one with a shift clock in a shift register 112.

[0005] Based on the data sampling signal which a digital image signal is inputted and is inputted from a shift register 112, a digital image signal is sampled in a data register 113, and the sampling data are latched to it by the latch circuit 114. And D/A converter 115 carries out D/A conversion of the above-mentioned latch data based on a D/A reference supply, outputs them to each signal electrode 117 through the voltage follower 116 which is an output buffer, and is performing the multi-gradation display according to the video signal.

[0006] However, if it is in such a liquid crystal driving gear, in order to input digital data and to perform analog output, power is consumed in the portion of the D/A converter inside a driver, and there is a problem that the power consumption as a panel becomes large.

[0007] On the other hand, the liquid crystal driving gear in which the multi-gradation display with small power consumption is possible is indicated by JP,7-334124,A and JP,4-238387,A by the low cost by constituting the liquid crystal of a liquid crystal display panel, without using a D/A converter for the interior or the exterior.

[0008] The liquid crystal driving gear of JP,7-334124,A A wave signal generation means to generate the wave signal with which a voltage level changes continuously for every predetermined period, The pulse width gradation control means which generate the sampling signal which changes into the pulse width corresponding to the gradation of the digital image signal inputted, and samples the aforementioned wave signal according to the pulse width, The above-mentioned purpose is attained by having a liquid crystal driver voltage generation means to generate the predetermined liquid crystal driver voltage corresponding to the aforementioned gradation based on the aforementioned sampling signal, and carrying out the display drive of the liquid crystal display panel by the aforementioned liquid crystal driver voltage.

[0009] Moreover, in the liquid crystal driving gear of JP,4-238387,A, a write-in unit is divided into two or more subfields, by carrying out ON/OFF control of the writing for every subfield, gradation is changed and the above-mentioned purpose is attained.

[0010]

[Problem(s) to be Solved by the Invention] However, by the method of JP,7-334124,A, while there is a problem of having to establish outside a wave signal generation means to generate the wave signal with which a voltage level

changes continuously for every predetermined period in high degree of accuracy and a low impedance circuit, and becoming high cost, there is a fault to which the power consumption of a system total becomes [ the power consumption in this portion ] large greatly.

[0011] Moreover, by the method of JP,4-238387,A, when the write-in time to the pixel in each subfield set to 10microsec, 1 field period was set to about 33 msec(s) at the lowest, and there was a problem that a flicker occurred. When write-in time is shortened more than this on the contrary, sufficient amount of charges for a pixel cannot be supplied, but which problem with insufficient ON arises.

[0012] this invention was made in view of the above-mentioned technical problem, can fully secure the write-in time of a pixel, and, moreover, aims at offering the drive method of the liquid crystal display in which a multi-gradation display is possible and a driving gear without a flicker.

[0013]

[Means for Solving the Problem] it is characterized by to make it change for every subfield which continues the polarity of the voltage impressed to liquid crystal, and to carry out a display drive among this inventions in the drive method of an active matrix type liquid crystal display of invention according to claim 1 constituting the 1 field from two or more subfields, scanning two or more aforementioned subfields, being the accumulation effect of the display period in a subfield, and performing a gradation display, in order to attain the above-mentioned purpose

[0014] By the above-mentioned composition, the voltage waveform of straight polarity and the voltage waveform of negative polarity will be intermingled within 1 field period (for example, 33msec(s)). Therefore, the voltage waveform which applied the voltage waveform of straight polarity and the voltage waveform of negative polarity within 1 field period is obtained, and fundamental-wave frequency is set to 60Hz. Therefore, generating of a flicker can be prevented. That is, even if the voltage waveform of straight polarity and the voltage waveform of negative polarity which ran and originated in voltage etc. differ from each other, an optical response is equalized within 1 field period, therefore the fundamental-frequency component of a luminescence wave is set to 30Hz or more, and generating of a flicker can be prevented.

[0015] Invention according to claim 2 constitutes the 1 field from two or more subfields. In the drive method of an active matrix type liquid crystal display of scanning two or more aforementioned subfields and performing a gradation display by the accumulation effect of the display period in a subfield The polarity of the voltage impressed to the liquid crystal in a predetermined subfield and a residual subfield among all the subfields that constitute the 1 aforementioned field period is changed. And it is characterized by choosing a subfield and carrying out a display drive so that total of the display period of straight polarity and total of the display period of negative polarity may become almost equal.

[0016] According to the above-mentioned composition, since total of the display period of straight polarity and total of the display period of negative polarity become almost equal, compared with the conventional example whose liquid crystal applied voltage in 1 field period is the same polarity, a luminescence response in 1 field period is equalized, and generating of a flicker can be suppressed. In addition, since the actual value of straight polarity applied voltage and negative polarity applied voltage becomes almost equal, degradation of liquid crystal can be prevented effectively.

[0017] Invention according to claim 3 to the periphery of the liquid crystal display section by which the unit pixel which has a pixel switching element and a pixel electrode has been arranged in the shape of a matrix While having the display side drive circuit which supplies a digital image signal to the scan side drive circuit and signal line which supply a scanning signal to the scanning line Constitute the 1 field from two or more subfields, and two or more aforementioned subfields are scanned. It is the driving gear of the active matrix type liquid crystal display which performs a gradation display by the accumulation effect of the display period in a subfield. The inversion circuit which outputs the signal level which was prepared in the output stage of the aforementioned display side drive circuit, was made to reverse the polarity of a digital image signal level, and was reversed to the aforementioned signal line, The potential of the counterelectrode by which opposite arrangement is carried out with the same amplitude as the amplitude of the aforementioned digital image signal level to the aforementioned pixel electrode And the counterelectrode drive circuit which carries out an alternating current drive by the opposite phase, It is characterized by including the control circuit which controls the timing of the polar period of the aforementioned inversion circuit and the aforementioned counterelectrode drive circuit, respectively so that the polarity of the continuous voltage impressed to liquid crystal for every subfield may be changed.

[0018] The thing which continue the polarity of the voltage impressed to liquid crystal by the above-mentioned composition and which it is made to change for every subfield and is done for a display drive becomes possible.

[0019] Invention according to claim 4 to the periphery of the liquid crystal display section by which the unit pixel which has a pixel switching element and a pixel electrode has been arranged in the shape of a matrix While having the display side drive circuit which supplies a digital image signal to the scan side drive circuit and signal line which supply a scanning signal to the scanning line Constitute the 1 field from two or more subfields, and two or more



aforementioned subfields are scanned. It is the driving gear of the active matrix type liquid crystal display which performs a gradation display by the accumulation effect of the display period in a subfield. The inversion circuit which outputs the signal level which was prepared in the output stage of the aforementioned display side drive circuit, was made to reverse the polarity of a digital image signal level, and was reversed to the aforementioned signal line, The potential of the counterelectrode by which opposite arrangement is carried out with the same amplitude as the amplitude of the aforementioned digital image signal level to the aforementioned pixel electrode And the counterelectrode drive circuit which carries out an alternating current drive by the opposite phase, The polarity of the voltage impressed to the liquid crystal in a predetermined subfield and a residual subfield among all the subfields that constitute 1 field period is changed. And it is characterized by including the control circuit which controls the timing of the polar period of the aforementioned inversion circuit and the aforementioned counterelectrode drive circuit, respectively so that total of the display period of straight polarity and total of the display period of negative polarity may become almost equal.

[0020] It becomes possible to choose a subfield and to carry out a display drive by the above-mentioned composition, so that the polarity of the voltage impressed to the liquid crystal in a predetermined subfield and a residual subfield among all the subfields that constitute 1 field period may be changed and total of the display period of straight polarity and total of the display period of negative polarity may become almost equal.

[0021] Invention according to claim 5 is the driving gear of an active matrix type liquid crystal display according to claim 3 or 4, and in case at least one of the aforementioned scan side drive circuit, the aforementioned signal side drive circuit, and the aforementioned counterelectrode drive circuits forms the aforementioned pixel switching element, it is characterized by being the built-in drive circuit really formed on the substrate in which a pixel switching element is formed simultaneously.

[0022] By the above-mentioned composition, reduction of cost can be aimed at compared with the case where IC chip is mounted.

[0023] Invention according to claim 6 is the driving gear of an active matrix type liquid crystal display according to claim 5, and is characterized by being the TFT which the aforementioned pixel switching element becomes from a polycrystal semiconductor.

[0024] Like the above, a more stable and quality driving gear is constituted by using a polycrystal semiconductor.

[0025]

[Embodiments of the Invention] Hereafter, the form of each operation of this invention is explained based on a drawing.

[0026] (Form 1 of operation) Drawing 1 is the circuit diagram showing the whole active matrix type liquid crystal display composition concerning the form 1 of operation, and drawing 2 is the block diagram showing the composition of a signal side drive circuit. This liquid crystal display is an active matrix type liquid crystal display which is the digital drive method which performs a gradation display with a digital image signal, constitutes the 1 field from a subfield of plurality (the form 1 of this operation six pieces), scans two or more of these subfields, and performs a gradation display by the accumulation effect of the display period in a subfield. In addition, with the form 1 of this operation, a digital image signal explains the example which displays 64 gradation with 6-bit data composition.

[0027] Concrete composition is explained with reference to drawing 1 and drawing 2. In drawing 1, 10 is the liquid crystal display section, 11 is a scan side drive circuit, 12 is a signal side drive circuit, 13 is a signal generating circuit, and 14 is a control circuit. Two or more signal lines SL, --, two or more scanning-line GL-- are arranged in the shape of a matrix at the liquid crystal display section 10. And TFT (TFT) 16 as a pixel switching element electrically connected to the pixel electrode is formed in the intersection position of a signal line SL and the scanning line GL.

[0028] Moreover, 17 is a counterelectrode drive circuit and the alternating current drive of the counterelectrode potential Vcom is carried out by this counterelectrode drive circuit 17 with the predetermined period.

[0029] The aforementioned control circuit 14 outputs the non-inverter clock signal CH3, the antiphase clock signal CH4, and the control signal of start signal ST2 grade to the scan side drive circuit 11, and is controlling the display drive through the drive circuits 11 and 12 while it outputs control signals, such as the non-inverter clock signal CH1, the antiphase clock signal CH2, start signal ST1, the latch signal LP, and the inversion signal F, to the signal side drive circuit 12.

[0030] The aforementioned signal generating circuit 13 inputs the digital image signal A which consists of 6-bit gradation data, and has the function which generates the digital image data A1 which suited the drive method concerning the gestalt of this operation. In addition, as for the signal generating circuit 13, processing operation is controlled by the control signal C from a controller 14.

[0031] The aforementioned scan side drive circuit 11 consists of a shift register, a buffer, etc., and it is constituted so that a scanning pulse may be outputted to the scanning line GL and each scanning line may be scanned sequentially.

The aforementioned signal side drive circuit 12 consists of a shift register 40, the 1st latch circuit 41 which latches the digital image signal A1, the 2nd latch circuit 42 which latches the output of the 1st latch circuit 41, and an inversion circuit 43 realized by EX-OR, as shown in drawing 2. The inversion signal F which logical level reverses for every subfield period is inputted into one input terminal of the inversion circuit 43, and the digital image signal A1 which is the output of the 2nd latch circuit 42 is inputted into the input terminal of another side. Thereby, the voltage level of the digital image data A1 is repeatedly reversed for every subfield period so that it may mention later.

[0032] In addition, the aforementioned scan side drive circuit 11, the signal side drive circuit 12, and the counterelectrode drive circuit 17 are built-in drive circuits which are formed with polycrystal silicon and were simultaneously built at the time of the production process of the liquid crystal display section 10.

[0033] Drawing 3 is the sequence diagram of a display drive. The 1 field is divided into six subfields SF1-SF6 with the gestalt 1 of this operation. And each subfields SF1-SF6 consist of a write-in period R and a display period D (it is equivalent to the maintenance period holding the written-in signal level). Although the write-in period R is the same also in which subfields SF1-SF6, the display period D serves as time width of face according to weighting of digital image data. That is, the time width-of-face ratio is as a result of [ of 1:2:4:8:16:32 an intermediary cage, and the display time in a subfield ] accumulation, and the display periods D1-D6 of subfields SF1-SF6 are constituted so that 64 gradation may be displayed.

[0034] The concrete relation between a gradation display and a subfield is shown in drawing 4. In a round mark, in drawing 4, selection and x mark show un-choosing. It is \*\* for the gradation level 2 being displayed, when it follows, for example, a subfield SF 1 is chosen, and the gradation level 4 being displayed when only subfields SF1 and SF2 are chosen.

[0035] here -- it should observe -- it is the thing which the polarity of the voltage impressed to liquid crystal with the gestalt 1 of this operation as shown in drawing 5 follows and which is being driven so that it may change for every subfield. That is, the voltage of straight polarity is impressed in subfields SF1, SF3, and SF5, and the voltage of negative polarity is impressed in subfields SF2, SF4, and SF6.

[0036] In order to obtain such a drive, with the gestalt 1 of this operation, it is controlled by the control circuit 14, and the voltage level of the digital image data A1 is repeatedly reversed for every subfield period, and the counterelectrode potential Vcom is the same amplitude as the amplitude of the digital image signal level A1, and the timing of the polar period of the inversion circuit 43 and the counterelectrode drive circuit 17 is reversed for every subfield by the opposite phase, and an alternating current drive is carried out. If it explains with reference to drawing 6, the case where the line data (it is equivalent to the digital image data A1) of the n-th scan line are drawing 6 (a), for example will be assumed. As shown in drawing 6 (b), by the subfield SF 1, level reverses the inversion signal F for every subfield like high level by the low level at a subfield SF 2. Thereby, as the output from the inversion circuit 43 is shown in drawing 6 (c), in a subfield SF 1, the digital image data A1 are noninverting, and the digital image data A1 are reversed in a subfield SF 2. On the other hand, as shown in drawing 6 (d), the counterelectrode potential Vcom is the same amplitude m as the amplitude m of the picture signal voltage A1, and an alternating current drive is reversed and carried out for every subfield by the opposite phase. Consequently, as the voltage impressed to liquid crystal is shown in drawing 6 (e), polarity will change for every subfield. In this example, although it explains and excels about the n-th scan line, operation with the same said of other scan lines is performed. Therefore, the voltage impressed to liquid crystal will change for every subfield about all scan lines.

[0037] Thus, by [ which continue the polarity of the voltage impressed to liquid crystal ] making it change for every subfield, generating of the flicker which had become a problem in the conventional example can be prevented.

[0038] Below, the reason for the ability to prevent generating of a flicker is explained in full detail with reference to drawing 7. Drawing 7 (1) shows the field reversal (frame reversal) drive method that the polarity of liquid crystal applied voltage changes for every field. If the ideal case where it is said that the voltage waveform of negative polarity is completely the same as the voltage waveform of straight polarity is assumed according to such a drive method, a wave as shown, for example in drawing 7 (2) will be acquired, and fundamental frequency will be set to 60Hz.

Therefore, there is no generating of a flicker in such the ideal state. However, it runs, and the present condition is that the voltage waveform of straight polarity and the voltage waveform of negative polarity change actually with phenomena, such as voltage, though offset is given to counterelectrode potential, it becomes a wave as shown in drawing 7 (3), therefore fundamental frequency is set to 60Hz, and a flicker occurs. Then, if the 1 field is divided into two subfields as the dashed line of drawing 7 (1) shows, and impress straight polarity voltage in one subfield and it is made to impress negative polarity voltage in the subfield of another side, as shown in drawing 7 (4), the voltage waveform of straight polarity and the voltage waveform of negative polarity will be intermingled within 1 field period, the voltage waveform which applied the voltage waveform of straight polarity and the voltage waveform of negative polarity will be obtained, and fundamental-wave frequency will be set to 60Hz. Therefore, generating of a flicker can

be prevented. That is, even if the voltage waveform of straight polarity and the voltage waveform of negative polarity which ran and originated in voltage etc. differ from each other, an optical response is equalized within 1 field period, therefore the fundamental-frequency component of a luminescence wave is set to 30Hz or more, and generating of a flicker can be prevented. It is made to change the polarity of liquid crystal applied voltage for every continuous subfield with the gestalt 1 of this operation based on such a principle.

[0039] Subsequently, the display action of the liquid crystal display concerning the gestalt 1 of this operation is explained. First, the digital image signal A is beforehand changed into the digital image signal A1 which suited this drive method by the signal generating circuit 13. First, if the digital image signal A1 is supplied to an input data line, synchronizing with this, a latch pulse will be outputted one by one from a shift register 40. Thereby, each bit data of the 1st line data is latched to the 1st latch circuit 41 one by one. In this way, after one-line data are latched to the 1st latch circuit 41, the latch pulse LP is supplied common to all the 2nd latch circuit 42. Thereby, while line data are latched to the 2nd latch circuit 42 from the 1st latch circuit 41, it is outputted to the liquid crystal display section 10 through signal-line SL---. The 1st scanning line GL1 is chosen synchronizing with this. Thereby, the 1st line data are written in each pixel electrode. Subsequently, same operation is performed one by one and line data are written in one by one. And the writing of the following subfield SF 2 begins after display period D1 progress from the time of writing in and ending in a subfield SF 1. At this time, the level of the inversion signal of the inversion circuit 43 changes from a low level to high level. By this, the level of the output signal of the 2nd latch circuit 42 is reversed by the inversion circuit 43, this reversed signal level writes in, and it becomes voltage. And the writing of the following subfield SF 3 begins after display period D2 progress from the time of writing in and ending in a subfield SF 2. In this way, the scan of subfields SF1-SF6 will be completed, and the gradation display by 64 gradation will be made by the accumulation display period in 1 field period which is each pixel. The scan for every subfields SF [ SF1-] 6 in such 1 field period is made for every field one by one, and becomes possible [ displaying the picture of multi-gradation displaying / to wish ]. And since the polarity of liquid crystal applied voltage changes for every subfield as mentioned above, a quality picture without a flicker can be displayed.

[0040] Moreover, with the gestalt 1 of this operation, since the gradation data of a digital image signal are indicated by gradation, without using a D/A converter, power consumption is sharply reducible.

[0041] Subsequently, since it was made to display by the drive method concerning the gestalt of this operation and luminescence frequency was measured, the result is shown in drawing 8 . In addition, drawing 9 is the luminescence frequency characteristic of the conventional example.

[0042] Drawing 9 (a) is the wave measured with the oscilloscope of the luminescence wave by the conventional drive method, and drawing 9 (b) carries out the Fourier transform of the wave shown in drawing 9 (a). Since the waves of luminescence for every 33msec(s) differ, a component 30Hz or less is large, and a flicker occurs.

[0043] On the other hand, drawing 8 (a) is an optical response waveform when the voltage in a continuous subfield is reversed. As compared with the always same polar case, it turns out that the wave of the optical response for every 33msec is almost equal. It is admitted that a basic component is set to 30Hz or more by this, and a flicker hardly occurs. Therefore, when displaying in same write-in time, it is understood that the good picture in which the frequency component of luminescence becomes high and this invention does not have a flicker as compared with the conventional method is acquired.

[0044] Moreover, it consists of gestalten 1 of this operation so that counterelectrode potential may be reversed for every subfield, as described above. This becomes possible to drive only on the voltage of binary level, and it enables circuitry to simplify. For example, if the case where the alternating current drive of the counterelectrode is not carried out for every subfield is assumed, it is necessary to write in the voltage of the level of three values at the time of the voltage impression by negative polarity at the time of the voltage impression with straight polarity, and voltage impression un-impressing [ of straight polarity and negative polarity ]. And since it is necessary to make the output stage of a signal side drive circuit correspond to 3 value output in this case, circuitry becomes complicated. Furthermore, it is necessary to have outside the power circuit which has the output of 3 level, and we are anxious about the increase in the power consumption as a system. However, with the gestalt 1 of this operation, in order that counterelectrode potential may be reversed for every subfield, generating of the above-mentioned technical problem is prevented.

[0045] Moreover, in the above-mentioned example, although the 1 field divides into six subfields SF1-SF6 and it explains and excels about the example of 64 gradation displays, this invention is not limited to this, the 1 field is divided into seven subfields, for example, it may be made to perform 128 gradation displays, and the 1 field is divided into eight subfields and it may be made to perform 256 gradation displays. Since 10microsec grade reservation of the write-in time can be especially carried out even if it is the multi-gradation display of 256 gradation etc., sufficient writing for a pixel is made and the display which moreover does not have a flicker is attained.

[0046] (Gestalt 2 of operation) 1 field period is constituted from the subfield corresponding to weighting of digital image data although two or more subfields which constitute 1 field period consist of gestalten 1 of the above-mentioned implementation so that it may have an eclipse display period with weight to digital image data, and it can cook, and the subfield added in order to prevent generating of false coutour by the gestalt 2 of this operation. That is, as shown in drawing 10 (a), the ratio of the display periods D1-D6 of subfields SF1-SF6 is set as

$D1:D2:D3:D4:D5:D6=1:2:4:8:8:8$ . Subfields SF1-SF4 are subfields corresponding to weighting of digital image data here, and it is the subfield added in order that subfields SF5 and SF6 might prevent generating of false coutour.

[0047] Therefore, although it is the same as that of the gestalt 1 of operation in the point that the 1 field is constituted from the gestalt 2 of this operation by six subfields, only 32 gradation can be expressed as the gestalt 2 of this operation. However, the frequency which white or a black display pixel follows can be stopped, and it is possible to reduce generating of false coutour as much as possible.

[0048] Even if it is the composition of such the 1 field, by [ which continue like the gestalt 1 of the above-mentioned implementation ] changing the polarity of liquid crystal applied voltage for every subfield, (the drawing 10 (b) reference) and a luminescence response in 1 field period are equalized, and generating of a flicker can be prevented.

[0049] (Gestalt 3 of operation) With the gestalten 1-2 of the above-mentioned implementation, a subfield is chosen and a display drive is carried out so that total of the display period of straight polarity and total of the display period of negative polarity may become almost equal among all the subfields that constitute 1 field period from a gestalt 3 of this operation although the polarity of the continuous voltage impressed to liquid crystal for every subfield wants to change.

[0050] If it explains concretely with reference to drawing 11 , as shown in drawing 11 (a), with the form 3 of this operation, the ratio of the display periods D1-D6 of subfields SF1-SF6 is set as  $D1:D2:D3:D4:D5:D6=1:1:2:4:8:8$ . And polarity of the voltage impressed to liquid crystal is made into straight polarity by subfields SF1, SF2, SF3, and SF5, as shown in drawing 11 (b), and let it be negative polarity by subfields SF4 and SF6.

[0051] Therefore, in the point that the 1 field is constituted from the form 3 of this operation by six subfields, although it is the same as that of the form 1 of operation, only 36 gradation can be expressed as the form 3 of this operation. However, since total of the display period of straight polarity and total of the display period of negative polarity become almost equal, compared with the conventional example whose liquid crystal applied voltage in 1 field period is the same polarity, according to the drive of the form 3 of this operation, a luminescence response in 1 field period is equalized, and generating of a flicker can be suppressed. In addition, since the actual value of straight polarity applied voltage and negative polarity applied voltage becomes almost equal, degradation of liquid crystal can be prevented effectively.

[0052]

[Effect of the Invention] As mentioned above, according to this invention, the write-in time of a pixel can fully be secured and, moreover, the multi-gradation display without a flicker is attained. Moreover, the D/A converter currently used in the conventional example becomes unnecessary, and can perform the few multi-gradation display of power consumption.

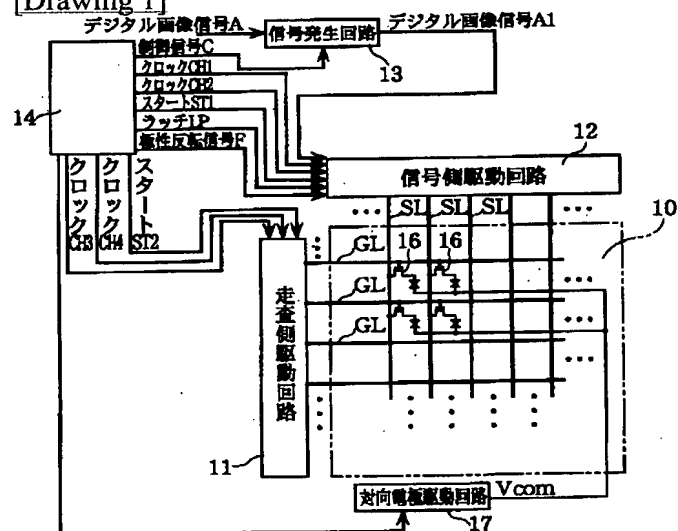
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

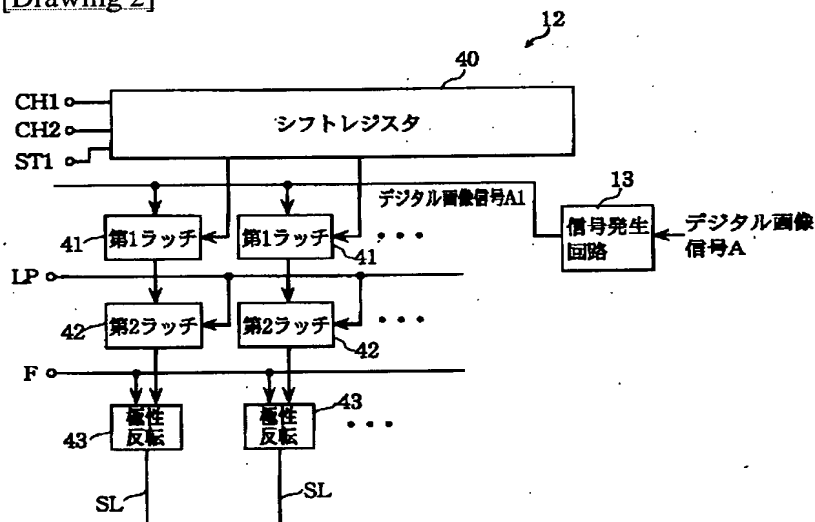
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

[Drawing 1]



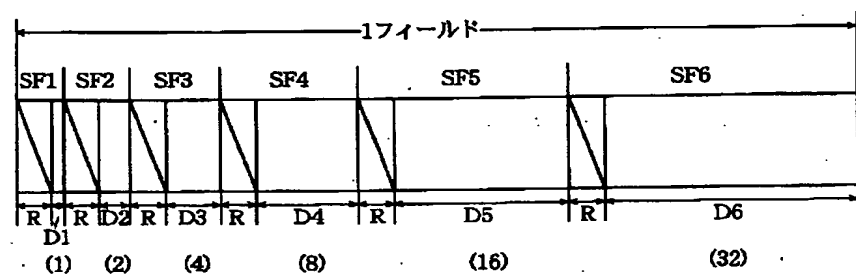
[Drawing 2]



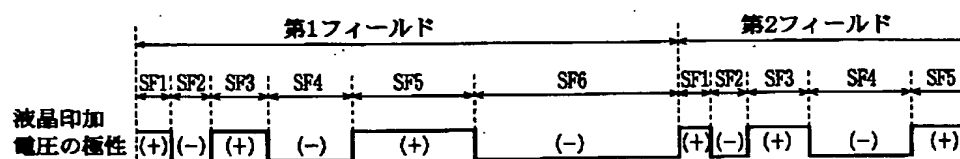
[Drawing 4]

SF 階層	(1) SF1	(2) SF2	(4) SF3	(8) SF4	(16) SF5	(32) SF6
1	×	×	×	×	×	×
2	○	×	×	×	×	×
3	×	○	×	×	×	×
4	○	○	×	×	×	×
⋮	⋮	⋮	⋮	⋮	⋮	⋮
64	○	○	○	○	○	○

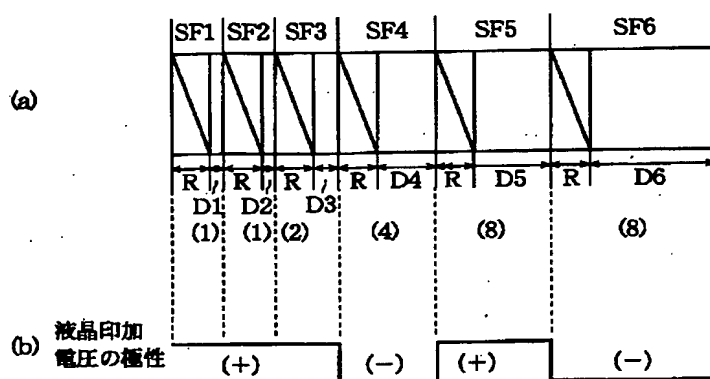
[Drawing 3]



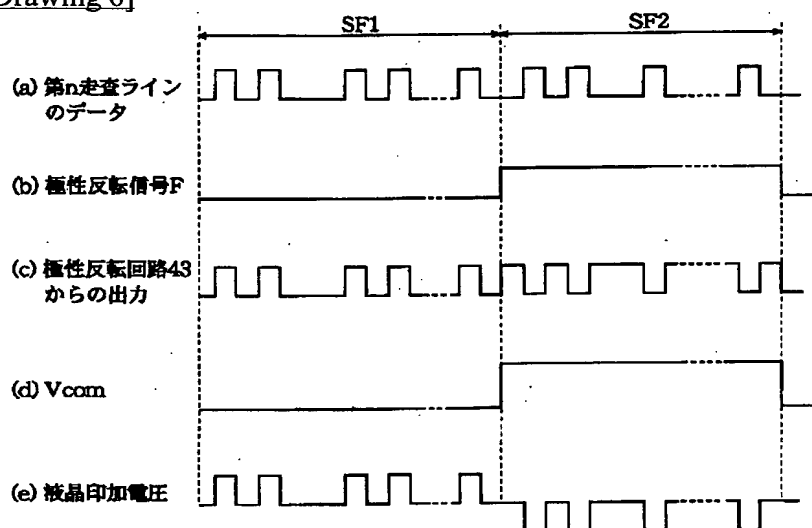
[Drawing 5]



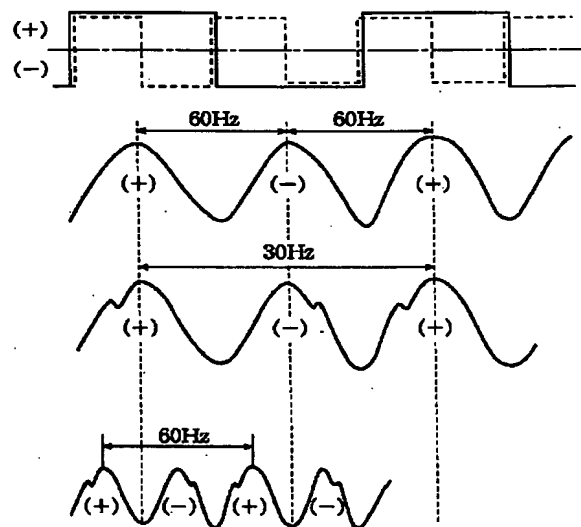
[Drawing 11]



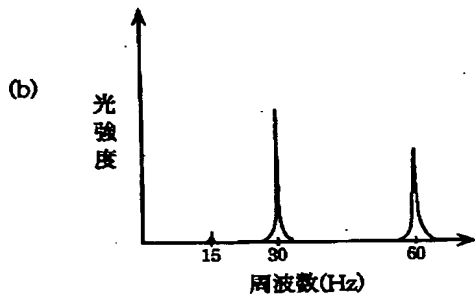
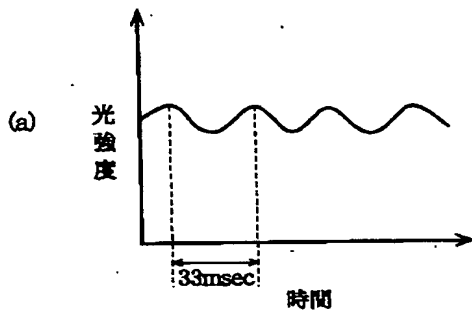
[Drawing 6]



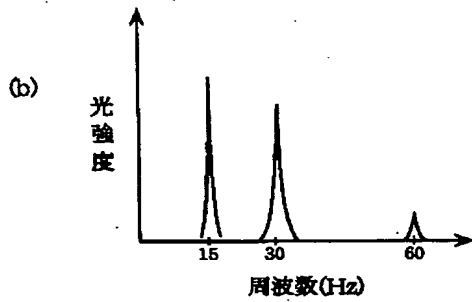
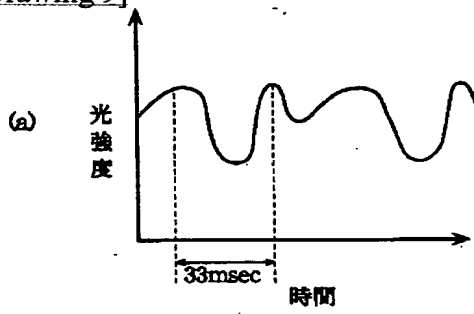
[Drawing 7]



[Drawing 8]

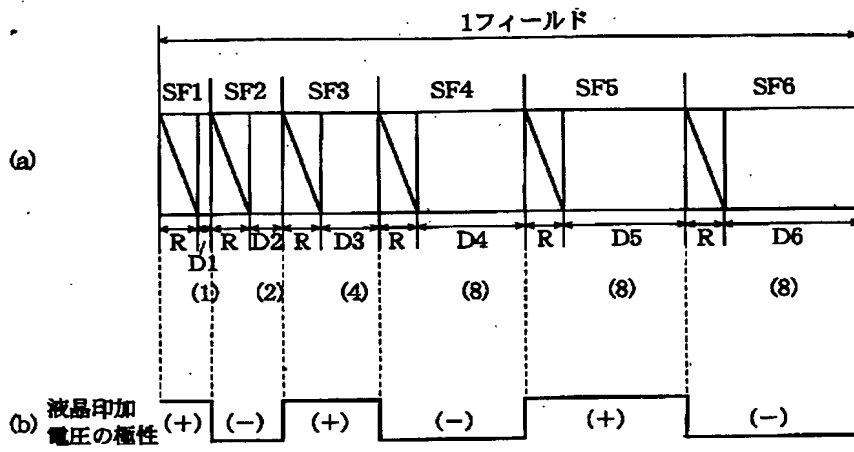


[Drawing 9]

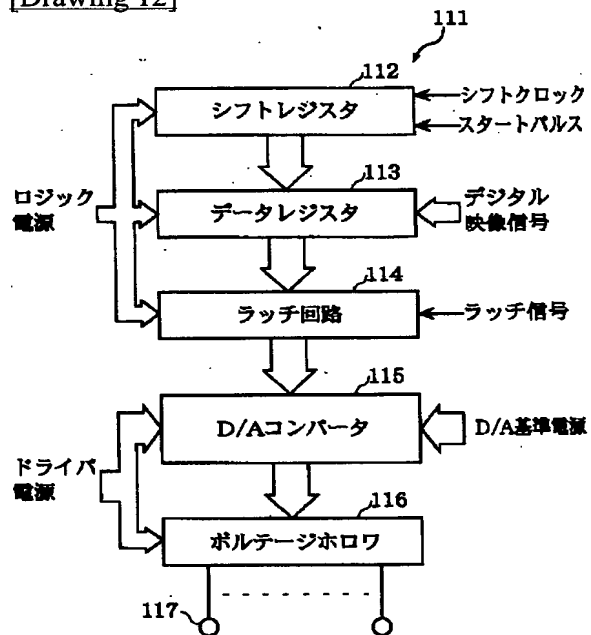


[Drawing 10]





[Drawing 12]



[Translation done.]

